

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-204404

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

H01L 27/04

H01L 21/205

H01L 27/108

(21)Application number : 04-349147

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.12.1992

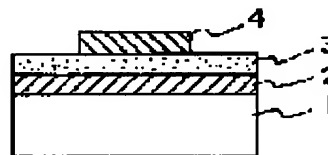
(72)Inventor : ABE YOSHIO  
FUKUDA TAKUYA

## (54) SEMICONDUCTOR DEVICE AND CAPACITATIVE ELEMENT, AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To realize a capacitive element having a large capacitance and a small leakage current by preventing the formation of a layer having a low dielectric constant along a boundary surface between an electrode and a dielectric layer, and to make it possible to manufacture such a capacitive element using simple processes.

CONSTITUTION: A lower electrode 2, an oxide dielectric layer 3, and an upper electrode 4 are formed on a silicon substrate 1. When a capacitive element, in which a dielectric constant of the oxide dielectric layer 3 is more than 20, is manufactured, a conductor section is formed on the surface of the oxide dielectric layer 3 by the deoxidation, nitriding, or carbonization of the oxide dielectric layer 3. This conductor section is used as the upper electrode 4. Such a constitution prevents the formation of a layer having a low dielectric constant along a boundary surface between the upper electrode 4 and the dielectric layer 3, and hence it is possible to obtain a capacitive element having a large capacitance using simple processes.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-204404

(43) 公開日 平成6年(1994)7月22日

(51) Int. Cl. <sup>5</sup>

識別記号

F I

H01L 27/04

C 8427-4M

21/205

27/108

7210-4M

H01L 27/10

325

M

審査請求 未請求 請求項の数26 (全11頁)

(21) 出願番号 特願平4-349147

(22) 出願日 平成4年(1992)12月28日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 阿部 良夫

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 福田 琢也

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

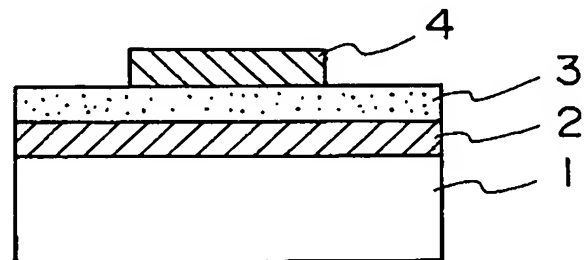
(74) 代理人 弁理士 鶴沼 辰之

(54) 【発明の名称】 半導体装置、並びに容量素子およびその製造方法

(57) 【要約】

【目的】 電極と誘電体層の界面における低誘電率層の生成を防止することで、容量が大きくリーク電流の小さな容量素子を実現し、しかもその容量素子を簡単なプロセスで製造できるようにする。

【構成】 シリコン基板1上に下部電極2、酸化物誘電体層3および上部電極4が形成され、かつ酸化物誘電体層3の誘電率が20以上の容量素子を製作する場合に、酸化物誘電体層3を還元、窒化または炭化することにより、酸化物誘電体層3の表面に導電部を形成して、この導電部を上部電極4として用いる。このように構成すると、上部電極4と誘電体層3との界面での低誘電率層の生成が防止され、大容量の容量素子を簡単なプロセスで得ることができる。



1 : シリコン基板

2 : チタン下部電極

3 : 二酸化チタン誘電体層

4 : 窒化酸化チタン上部電極

## 【特許請求の範囲】

【請求項 1】 誘電率 20 以上の酸化物誘電体の両面に上部電極と下部電極とがそれぞれ設けられた構造の容量素子を有する半導体装置において、前記両電極のうち少なくとも 1 方は、前記酸化物誘電体が還元された酸素欠損型の酸化物であることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記酸化物は抵抗率が  $1 \times 10^{-4} \Omega m$  以下であることを特徴とする半導体装置。

【請求項 3】 誘電率 20 以上の酸化物誘電体の両面に上部電極と下部電極とがそれぞれ設けられた構造の容量素子を有する半導体装置において、前記両電極のうち少なくとも 1 方は、前記酸化物誘電体が窒化された窒化酸化物であることを特徴とする半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置において、前記窒化酸化物は抵抗率が  $1 \times 10^{-4} \Omega m$  以下であることを特徴とする半導体装置。

【請求項 5】 誘電率 20 以上の酸化物誘電体の両面に上部電極と下部電極とがそれぞれ設けられた構造の容量素子を有する半導体装置において、前記両電極のうち少なくとも 1 方は、前記酸化物誘電体が炭化された炭化酸化物であることを特徴とする半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置において、前記炭化酸化物は抵抗率が  $1 \times 10^{-4} \Omega m$  以下であることを特徴とする半導体装置。

【請求項 7】 誘電率 20 以上の酸化物誘電体の両面に上部電極と下部電極とがそれぞれ設けられた構造の容量素子を有する半導体装置において、前記下部電極の一部として形成される酸化物は、抵抗率が  $1 \times 10^{-4} \Omega m$  以下の導体であることを特徴とする半導体装置。

【請求項 8】 誘電率 20 以上の酸化物誘電体の両面に上部電極と下部電極とがそれぞれ設けられた構造の容量素子を有する半導体装置において、前記下部電極の一部として形成される酸化物は、ペロブスカイト構造をとる材料であることを特徴とする半導体装置。

【請求項 9】 請求項 1, 3, 5, 7, 8 のいずれかに記載の半導体装置において、前記電極はチタンを 30 atomic % 以上含むことを特徴とする半導体装置。

【請求項 10】 請求項 1, 3, 5, 7, 8 のいずれかに記載の半導体装置において、前記酸化物誘電体は二酸化チタンを 30 mol % 以上含むことを特徴とする半導体装置。

【請求項 11】 請求項 1 ~ 10 のいずれかに記載の半導体装置を搭載したランダムアクセスメモリ。

【請求項 12】 請求項 11 に記載のランダムアクセスメモリを内蔵した半導体ディスク基板。

【請求項 13】 請求項 11 に記載のランダムアクセスメモリを内蔵キャッシュメモリとして用いた L S I。

【請求項 14】 請求項 11 に記載のランダムアクセスメモリと、請求項 12 に記載の半導体ディスク基板と、

請求項 13 に記載の L S I のうち、いずれかをを用いたコンピュータ。

【請求項 15】 基板上に下部電極、誘電体層、上部電極が積層構造に設けられ、かつ前記誘電体層は誘電率が 20 以上の酸化物誘電体で構成された容量素子において、前記両電極のうち少なくとも 1 方は、前記酸化物誘電体が還元された酸素欠損型の酸化物であることを特徴とする容量素子。

【請求項 16】 基板上に下部電極、誘電体層、上部電極が積層構造に設けられ、かつ前記誘電体層は誘電率が 20 以上の酸化物誘電体で構成された容量素子において、前記両電極のうち少なくとも 1 方は、前記酸化物誘電体が窒化された窒化酸化物であることを特徴とする容量素子。

【請求項 17】 基板上に下部電極、誘電体層、上部電極が積層構造に設けられ、かつ前記誘電体層は誘電率が 20 以上の酸化物誘電体で構成された容量素子において、前記両電極のうち少なくとも 1 方は、前記酸化物誘電体が炭化された炭化酸化物であることを特徴とする容量素子。

【請求項 18】 基板上に下部電極を形成し、その下部電極の上に誘電体層を形成した後、前記誘電体層を還元することにより誘電体層の上に酸素欠損型の酸化物を形成し、該酸化物を上部電極とすることを特徴とする容量素子の製造方法。

【請求項 19】 請求項 18 に記載の製造方法において、マイクロ波で励起された水素を含むプラズマに前記誘電体層をさらすことにより、前記上部電極を形成することを特徴とする容量素子の製造方法。

30 【請求項 20】 基板上に下部電極を形成し、その下部電極の上に誘電体層を形成した後、前記誘電体層を窒化することにより誘電体層の上に窒化酸化物を形成し、該窒化酸化物を上部電極とすることを特徴とする容量素子の製造方法。

【請求項 21】 請求項 20 に記載の製造方法において、マイクロ波で励起された窒素を含むプラズマに前記誘電体層をさらすことにより、前記上部電極を形成することを特徴とする容量素子の製造方法。

40 【請求項 22】 基板上に下部電極を形成し、その下部電極の上に誘電体層を形成した後、前記誘電体層を炭化することにより誘電体層の上に炭化酸化物を形成し、該炭化酸化物を上部電極とすることを特徴とする容量素子の製造方法。

【請求項 23】 請求項 22 に記載の製造方法において、マイクロ波で励起された炭素を含むプラズマに前記誘電体層をさらすことにより、前記上部電極を形成することを特徴とする容量素子の製造方法。

50 【請求項 24】 基板上に下部電極を形成し、その下部電極の上に誘電体層を形成した後、前記誘電体層上に部分的にホトレジストを付け、前記誘電体層を還元してか

ら前記ホトレジストを剥離することにより、前記誘電体層の上に所望の形状の上部電極を形成することを特徴とする容量素子の製造方法。

【請求項 2 5】 基板上に下部電極を形成し、その下部電極の上に誘電体層を形成した後、前記誘電体層上に部分的にホトレジストを付け、前記誘電体層を窒化してから前記ホトレジストを剥離することにより、前記誘電体層の上に所望の形状の上部電極を形成することを特徴とする容量素子の製造方法。

【請求項 2 6】 基板上に下部電極を形成し、その下部電極の上に誘電体層を形成した後、前記誘電体層上に部分的にホトレジストを付け、前記誘電体層を炭化してから前記ホトレジストを剥離することにより、前記誘電体層の上に所望の形状の上部電極を形成することを特徴とする容量素子の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、容量素子として高誘電率体または強誘電体を用いた半導体装置、並びに容量素子およびその容量素子の製造方法に関する。

【 0 0 0 2 】

【従来の技術】 ダイナミックランダムアクセスメモリ (DRAM) はコンピュータの記憶素子として大容量、高集積化が進んできた。図 1 6 に現在用いられている DRAM メモリセル部の基本的な回路構成を示す。メモリセルは 1 組の MOS トランジスタ 1 0 1 とコンデンサ 1 0 2 とから構成され、コンデンサ 1 0 2 に蓄積された電荷の量によって 1 ビットのデータを記憶する。MOS トランジスタ 1 0 1 のゲート電極はワード線 1 0 3 に接続され、さらにワード線 1 0 3 は周辺回路の X デコーダドライバ 1 0 4 および Y デコーダドライバ 1 0 5 に連結されている。また、MOS トランジスタ 1 0 1 のドレイン電極はビット線 1 0 6 に接続され、さらにこのビット線 1 0 6 はセンスアンプ 1 0 7、読みだし回路 1 0 8 および書き込み回路 1 0 9 などの周辺回路に接続されている。また、MOS トランジスタ 1 0 1 のソース線はコンデンサ 1 0 2 の一方の電極に接続されており、コンデンサ 1 0 2 のもう一方の電極は各ビット共通のプレート線に接続されている。

【 0 0 0 3 】 このコンデンサ 1 0 2 の容量は、 $\alpha$  線によって作り出される電荷によるエラー (ソフトエラー) に対する耐性を備えるためには 1 0 0 f C 以上の電荷が蓄積されていなければならない。仮に、電源電圧 ( $V_{cc}$ ) が 3 V でプレート電極に  $1/2 V_{cc} = 1.5 V$  の電圧が印加されるとすると、コンデンサの容量は 6 0 f F 以上必要となる。

【 0 0 0 4 】 コンデンサの容量 C は、真空の誘電率を  $\epsilon_0$ 、絶縁膜の比誘電率を  $\epsilon_r$ 、絶縁膜の膜厚を d、コンデンサの電極面積を S とすると、

$$C = \epsilon_0 \cdot \epsilon_r \cdot S / d$$

である。

【 0 0 0 5 】 したがって、コンデンサの容量を大きくするためには電極の面積を大きくし、絶縁膜の膜厚を薄くすれば良い。最近の DRAM の高集積化により、メモリセル 1 個当りの占める面積が縮小するため、例えば、1 9 9 1 Symposium on VLSI Technology Digest of Technical Papers の第 7 頁～第 1 3 頁に記載してあるように、複雑なプロセスを経て電極面積の増大が図られている。

【 0 0 0 6 】 一方、例えば第 8 回強誘電体応用会議予稿集の第 3 頁～第 2 9 頁に記載してあるように、絶縁膜に比誘電率の大きな物質を用いようとする研究が進められている。比誘電率の大きな物質としては、 $Ta_2O_5$ 、 $TiO_2$ 、 $SrTiO_3$  および  $(Pb, Zr)TiO_3$  などがある。

【 0 0 0 7 】 誘電体の応用として、強誘電体を用いた不揮発性のメモリに関する技術は特開昭 6 4 - 0 6 6 8 9 7 号公報に記載されている。このメモリ素子は電源を切っても情報が保持されるので、電池によるバックアップが不要な補助記憶媒体としてメモリカードやコンピュータシステムに好適である。

【 0 0 0 8 】

【発明が解決しようとする課題】 コンピュータの小型化、高速化のためにはコンピュータ内部の記憶装置の大容量化が必要である。代表的な内部記憶装置である DRAM でも、セルサイズの縮小による高集積化が図られてきたが、コンデンサの容量不足が問題になってきた。すなわち、電極面積を大きくするため種々のセル構造が検討されているが構造が非常に複雑になり、1 ビット当りのコストの上昇や製造時に不良が発生する割合が大きくなるなどの問題が生じる。絶縁膜の実効的な膜厚を減少させるため高誘電率の誘電体材料の適用も検討されているが、上記従来技術においては、誘電率が 2 0 以上の酸化物絶縁体を成膜し良好な結晶性を得るためには酸素雰囲気下で基板温度を 5 0 0 °C 以上の高温とする必要がある。このために下地電極が高温の状態で酸素雰囲気中に置かれるために、アルミニウム等の貴金属以外の金属や、ポリシリコン等の半導体を下地電極として用いた場合には、これら金属や半導体の表面が酸化され絶縁体が形成される。このような金属や半導体が酸化されて形成された物質の比誘電率は例えば  $SiO_2$  で約 4、 $Al_2O_3$  で約 9 程度であり比誘電率が 2 0 未満である。また、このような表面が酸化されて形成される酸化物の膜厚は 5 nm ～ 2 0 nm 程度である。

【 0 0 0 9 】 この結果、絶縁膜は堆積された高誘電率膜と表面が酸化されて形成された低誘電率膜との直列接合となり、高誘電率膜の膜厚を薄くしても容量の大きなコンデンサを得ることはできない。

【 0 0 1 0 】 このような低誘電率の酸化物を形成しない

物質として、これまで白金やパラジウムのような貴金属が用いられてきた。これらの技術においては、仮に比較的、結晶性が優れ誘電率の高い絶縁体が形成されても、白金等の貴金属はドライエッチングによる加工をすることができずイオンミリングまたはウェットエッチングによってのみ加工が可能である。上記、イオンミリングやウェットエッチング技術ではドライエッチングでなされるような微細加工を行うことができず高集積化の容量素子を形成することが困難であるといった問題がある。

【0011】同様な問題は強誘電体を用いた不揮発性メモリにおいても生じる。電極と強誘電体界面に低誘電率層が生成すると、外部から印加した電圧が強誘電体層と低誘電率層とに容量分割され、印加電圧のうち一部しか強誘電体層にかからなくなる。このため、強誘電体の分極反転が困難になるといった問題がある。

【0012】なお、酸化されると20以上の誘電率を持つ絶縁体あるいは分極に履歴を有する絶縁体となる材料を電極に用いた容量素子が、同一出願人から特願平4-82461号として出願されているが、容量素子製造のプロセスが複雑となり十分なものではなかった。

【0013】本発明の目的は、電極と誘電体層との界面に低誘電率層が生成されないようにして容量低下を防止し、しかも簡単なプロセスで製造することができる容量素子およびその容量素子の製造方法、および前記容量素子を備えた半導体装置を提供することである。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明は、誘電率20以上の酸化物誘電体の両面に上部電極と下部電極とがそれぞれ設けられた構造の容量素子を有する半導体装置において、前記両電極のうち少なくとも1方は、前記酸化物誘電体が還元された酸素欠損型の酸化物、または酸化物誘電体が窒化された窒化酸化物、または酸化物誘電体が炭化された炭化酸化物で構成されたものである。

【0015】また、本発明は、誘電率20以上の酸化物誘電体の両面に上部電極と下部電極とがそれぞれ設けられた構造の容量素子を有する半導体装置において、前記下部電極の一部として形成される酸化物は、抵抗率が $1 \times 10^{-4} \Omega \text{m}$ 以下の導体、またはペロブスカイト構造をとる材料で構成されたものである。

【0016】また、本発明は、上記半導体装置をランダムアクセスメモリに搭載したものである。

【0017】また、本発明は、上記ランダムアクセスメモリを半導体ディスク基板またはLSIに搭載したものである。

【0018】さらに、本発明は、上記のランダムアクセスメモリ、半導体ディスク基板、LSIのうち、少なくとも1つをコンピュータに用いたものである。

【0019】また、本発明は、基板上に下部電極、誘電体層、上部電極が積層構造に設けられ、かつ前記誘電体

層は誘電率が20以上の酸化物誘電体で構成された容量素子において、前記両電極のうち少なくとも1方は、前記酸化物誘電体が還元された酸素欠損型の酸化物、または酸化物誘電体が窒化された窒化酸化物、または酸化物誘電体が炭化された炭化酸化物で構成されたものである。

【0020】また、本発明の容量素子の製造方法は、基板上に下部電極を形成し、その下部電極の上に誘電体層を形成した後、前記誘電体層を還元することにより誘電体層の上に酸素欠損型の酸化物を、または誘電体層を窒化することにより誘電体層の上に窒化酸化物を、または誘電体層を炭化することにより誘電体層の上に窒化酸化物を形成し、それらの酸化物を上部電極とすることである。

【0021】さらにまた、本発明は、基板上に下部電極を形成し、その下部電極の上に誘電体層を形成した後、前記誘電体層上に部分的にホトレジストを付け、前記誘電体層を還元、窒化または炭化してから前記ホトレジストを剥離することにより、前記誘電体層の上に所望の形状の上部電極を形成することである。

【0022】

【作用】誘電率20以上の酸化物誘電体の両面に上部電極と下部電極とがそれぞれ設けられた構造の容量素子を有する半導体装置において、酸化物誘電体を還元、窒化または炭化することにより酸化物誘電体表面に、抵抗率が $1 \times 10^{-4} \Omega \text{m}$ 以下の導体部が形成されるので、この導体部を電極として用いる。この場合、電極と誘電体との間に酸化膜が形成されても、この酸化膜は導体で容量素子全体の容量値が低下することはない。また、酸化物誘電体を還元、窒化または炭化するだけであるから、複雑なプロセスを必要としない。このようにして形成した電極は、白金やパラジウム等の貴金属と異なり安価でしかもドライエッチングなどの加工性が向上し、素子の微細化が可能になる。

【0023】また、このような容量値の大きな容量素子の形成技術は、必要な容量を小さい面積で構成できる利点がある。このため、この容量素子をダイナミックランダムアクセスメモリのキャパシタとして用いると、メモリセルの面積が縮小し、記憶容量を増大させることができる。

【0024】さらに、このダイナミックランダムアクセスメモリにより安価で大容量の記憶装置を構成でき、メモ리카ード、マイクロプロセッサ、コンピュータなどの電子装置の小型化を図ることが可能となる。

【0025】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。

(第1実施例)図1は本発明に係る半導体装置の容量素子の断面図を示している。シリコン基板1の上に、下部電極2、誘電体層3および上部電極4が積層構造に設け

られている。下部電極2はチタン $Ti$ からなり厚さ50nmに、誘電体層3は二酸化チタン $TiO_2$ からなり厚さ50nmに、上部電極4は窒化酸化チタン $TiON$ からなり厚さ50nmにそれぞれ構成されている。

【0026】上記容量素子の製造方法を図2を用いて説明する。まず、下部電極として、図2(a)に示すように、シリコン基板1の上にスパッタリング法により $Ti$ 薄膜を作製し、この $Ti$ 薄膜を下部電極2とする。スパッタリングの際は、 $Ti$ ターゲットを用い、アルゴンをスパッタガスとし、スパッタ圧力1Pa、基板温度300℃として $Ti$ 薄膜を形成した。

【0027】次に、図3に示すECRプラズマ処理装置を用いて、 $Ti$ 薄膜表面を酸化し、図2(b)に示すように誘電体層3を形成する。

【0028】ECRプラズマ処理装置は、基板の設置される基板ホルダ30を備えた真空容器31と、この真空容器31に石英製のマイクロ波導入窓32を介してマイクロ波導波管33が接続され、さらに、マイクロ波導波管33にマイクロ波発生装置となるマグネトロン34が連結されている。マグネトロン34からは2.45GHzのマイクロ波電界が発生しマイクロ波導波管33を伝搬し、石英窓を透過して真空容器31内に導入される。マイクロ波導波管33にはマイクロ波チューナ35が備えられ、基板上でマイクロ波の電界方向が基板に対し平行となるように予めチューニングされている。

【0029】また、真空容器31にはゲートバルブ36を介して基板搬入口ポット室37が備えられ、この基板搬送口ポット室37より基板が真空容器31内に搬入される。また、基板搬入口ポット室37は他の成膜装置等とゲートバルブを介して同様に接続され、基板を他の処理を含め連続的に処理することができる。さらに、真空容器31とマイクロ波導波管33の周囲には磁界コイル38が設置され、この磁界コイル38による磁力線は基板上で基板と垂直向きで、磁束密度が最大1000ガウスまで発生できるようになっている。また、プラズマ処理のための反応ガス導入口39と、基板に高周波を印加するための高周波電源40とが設置されている。

【0030】上記ECRプラズマ処理装置を用いて、 $Ti$ 薄膜を酸化する際は、真空容器31内を $1 \times 10^{-8}$  Torrまで排気した後、100ml/minの流量の酸素ガスを真空容器31内に導入し、圧力を0.1Paとした。ここでマイクロ波を真空容器内に導入すると、真空容器31内の酸素ガスはマイクロ波の電界と磁界とにより、電子サイクロトロン共鳴をおこしプラズマ状態となる。励起状態の酸素および基板の $Ti$ 薄膜を酸化する。マイクロ波のパワーを600Wとし、10分間のプラズマ酸化処理により、図2(b)に示すように $Ti$ 薄膜表面には二酸化チタン層つまり誘電体層3が生成する。二酸化チタンは誘電率が約100と大きい絶縁膜であるので、大容量の容量素子の絶縁膜として好適である。

【0031】図4は $Ti$ 薄膜のプラズマ酸化時間とリーク電流との関係を示し、図5は $Ti$ 薄膜のプラズマ酸化時間と容量との関係を示している。図から、プラズマ酸化時間の増加とともに酸化が進み、リーク電流が減少して容量も低下していることがわかる。なお、基板温度は100℃、マイクロ波のパワーは600Wである。図4にはマイクロ波のみでなく、イオンが追従できる程度の高周波を印加した場合の結果も示されている。高周波を併用すると、マイクロ波で生成した酸素イオンの基板表面への到達確率が増大し、酸化反応が促進される。このため、マイクロ波のみの場合に比べリーク電流を低減できる。高周波を併用した場合、容量の変化がほとんど認められないが、これは、高周波を印加すると酸化反応と同時にスパッタエッチングも進行するため、酸化膜厚がほぼ一定となるためである。

【0032】上述したように、二酸化チタンは比較的誘電率の大きな材料であり、誘電率は100程度である。しかし、さらにキャパシタの容量を大きくするには、誘電率が約200のチタン酸鉛 $PbTiO_3$ 、誘電率が約300のチタン酸ストロンチウム $SrTiO_3$ 、誘電率が数1000のチタン酸バリウム $BaTiO_3$ など高誘電率材料が望ましい。図6は $Ti$ と $Pb$ のターゲットをスパッタして作成した、 $TiPb$ 合金膜をプラズマ酸化した結果を示している。 $Ti$ 単独に比べ、 $Ti$ に $Pb$ を添加すると容量が増加することがわかる。ただし、容量は $Ti$ と $Pb$ の組成比が1:1で最大となり、 $Ti$ の割合が30%以下では急激に低下するので、 $Ti$ の組成比は30%以上が望ましい。

【0033】図2(c)に示すように、誘電体層3上に上部電極4を作成するには、二酸化チタン誘電体層の表面をECRプラズマ処理装置を用いて還元または窒化して、酸素欠損二酸化チタン $TiO_{2-x}$ または窒化酸化チタン $TiON$ 層を形成する。反応ガスとしては、還元の場合は水素ガス、窒化の場合は窒素 $N_2$ やアンモニア $NH_3$ の他、 $CF_4$ 、 $SF_6$ 、 $NF_3$ などのフッ素系ガスを用いる。二酸化チタンのプラズマ処理時間と抵抗率の関係を図7に示す。プラズマ酸化時間の増加とともに、抵抗率が減少することがわかる。特にプラズマ窒化により生成した $TiON$ は電気抵抗が $1 \times 10^{-4} \Omega m$ 以下の低抵抗であるので、容量素子の電極あるいは素子間の配線材料として用いることができる。

【0034】最後に、通常のアナログ加工及び、 $CCl_4$ 、 $CF_4$ などのエッチングガスを用いたリアクティブイオンエッチング法を用い、図2(d)に示すように、窒化酸化チタン層を所望の形状に加工し、上部電極4とする。

【0035】本実施例の容量素子では、 $Ti/TiO_2/TiON$ の積層構造となるため、電極/誘電体界面に低誘電率の絶縁膜層が生じない。このため、大容量の容量素子を実現することができる。



【0036】誘電率が大きく、かつ還元により抵抗率が減少し電極として使用可能な絶縁膜としては、 $TiO_2$ の他に $Ta_2O_5$ 、 $Nb_2O_5$ 、 $CaTiO_3$ 、 $SrTiO_3$ 、 $BaTiO_3$ などがある。さらに、 $Ta_2O_5$ 、 $Nb_2O_5$ 、 $HfO_2$ などの酸化物絶縁膜は窒化あるいは炭化により低抵抗化するのでプラズマ窒化やプラズマ炭化により、 $TaON$ 、 $NbON$ 、 $HfON$ 、 $TaOC$ 、 $NbOC$ 、 $HfOC$ を形成することで電極とすることができる。

【0037】容量素子の電極としては、 $Ti$ の他、 $V$ 、 $Eu$ 、 $Nb$ 、 $Re$ 、 $Cr$ 、 $Mo$ 、 $W$ 、 $Ru$ 、 $Rh$ 、 $Os$ 、 $Ir$ 、 $Sn$ 、 $Fe$ などの金属、 $LaTi$ 、 $LiTi$ 、 $LiV$ 、 $CaV$ 、 $SrV$ 、 $LaSrV$ 、 $CaCr$ 、 $SrCr$ 、 $LaSrMn$ 、 $CaFe$ 、 $SrFe$ 、 $SrCo$ 、 $LaCo$ 、 $LaSrCo$ 、 $LaNi$ 、 $LaCu$ 、 $CaRu$ 、 $SrRu$ 、 $SrIr$ 、 $BaPb$ 、 $BaPbBi$ 、 $NaTaW$ 、 $BaCaSrTi$ 、 $NaTi$ 、 $LaNi$ 、 $NdNi$ 、 $LaCu$ 、 $TiRh$ 、 $TiOs$ 、 $TiIr$ 、 $PbRu$ 、 $PbOs$ 、 $PbIr$ 、 $PbRe$ 、 $BiRu$ 、 $BiRh$ 、 $BiIr$ 、 $CdRe$ 、 $LnOs$ 、 $LuRu$ 、 $LuIr$ などの合金の用いることができる。これらは、酸化物が導電性であるので、酸化物誘電体と接しても低誘電率絶縁層を生じない。

【0038】また、容量素子の電極としては、 $LaTi$ 、 $LiTi$ などのリチウム合金の他に、ニオブ $Nb$ 、バナジウム $V$ などを使用することができる。これらは、酸化物が導電性であるので、酸化物誘電体と接しても低誘電率絶縁層を生じない。特に、 $LaTi$ は酸化物である $LaTiO_3$ がペロブスカイト構造をとるため、この上に $SrTiO_3$ 、 $BaTiO_3$ などのペロブスカイト構造の誘電体層を形成すると、誘電体層の結晶性が改善され、誘電率が増加してリーク電流が減少する効果がある。

【0039】（第2実施例）第1実施例に示した製造方法を一部変更して、エッチングを用いずに上部電極を所望の形状に加工することもできる。このような製造方法を図8に示す。 $SiO_2$ 熱酸化膜16をつけた基板1の上に、チタンからなる下部電極2および二酸化チタンからなる誘電体層3を形成する。ここまでの製造手順は図8(a)、(b)に示すように第1実施例と同様である。本実施例では、その後、図8(c)に示すように上部電極を形成したい領域以外の部分にホトレジスト5を付けておく。そして、プラズマ窒化をすると、ホトレジストのない部分だけ窒化され上部電極4となる。最後にホトレジストを剥離すると図8(e)に示すような容量素子が得られる。

【0040】本実施例によれば、誘電体層3と上部電極4の上面がほぼ平坦とできるので、多層配線で課題となっている段差を低減できる。

【0041】（第3実施例）第1実施例に示した製造方

法を一部変更して、最初に形成した下部電極を、容量素子と他の素子との配線として用いることもできる。このような製造方法を図9に示す。 $SiO_2$ 熱酸化膜16をつけた基板1の上に容量素子を形成する手順、つまり図9(a)~(c)に示すように上部電極を形成までの手順は第1実施例と同様である。本実施例では、その後、図9(d)に示すように配線に対応する形状に加工したホトレジスト5をつけた状態でプラズマ酸化を行い、ホトレジスト5のない部分を完全に酸化して絶縁体とする。そして、最後にホトレジスト5を剥離すると、図9(e)に示す構造の容量素子と配線が得られる。図10は図9(e)の平面図である。

【0042】なお、容量素子の電極と配線を共用するため、電極材料としては、抵抗率がポリシリコンと同程度の $1 \times 10^{-4} \Omega m$ 以下で、電気抵抗の低い導体材料が望ましい。

【0043】（第4実施例）本発明の容量素子を、ダイナミックランダムアクセスメモリ（DRAM）のコンデンサに適用した。図11はその断面図である。 $p$ 型 $Si$ 基板1に素子分離用の局所酸化膜6、及びMOSトランジスタのソース電極を構成する $n$ 型ドープ層7、ドレイン電極を構成する $n$ 型ドープ層8、ゲート酸化膜9、ゲート電極10を形成する。蓄積ノードとなる $Ti$ 電極11を形成したあと、プラズマ酸化により $TiO_2$ 誘電体層12を形成する。さらに、 $TiO_2$ 誘電体層12をプラズマ窒化しプレート電極となる $TiON$ 13を形成する。この後に、酸化膜14、ビット線15成膜し、DRAMセルが完成する。

【0044】従来のDRAMセルにおいては、コンデンサ部の誘電体層に $SiO_2$ 、電極にポリ $Si$ を用いていた。しかし、 $SiO_2$ は誘電率が4と小さいため、高集積化のためセル面積を縮小すると十分な容量を確保することが困難となっていた。これに対し、本発明のDRAMセルでは、高誘電率の $TiO_2$ を絶縁膜に用いること、及び電極に $Ti$ や $TiON$ を用いることで、電極の酸化による低誘電率層の生成を防止しているので十分な容量を得ることができる。したがって、集積度の高い大容量のDRAMを構成することができる。

【0045】本実施例のDRAMセルは、従来のDRAMセルと同様に、半導体メモリカード、半導体ディスク装置、マイクロプロセッサ、コンピュータなどの電子装置に適用することができる。とくに、本実施例のDRAMセルは、小型大容量であるため、システム全体が小型化すると同時に処理能力も向上する。

【0046】（第5実施例）図12は、上記実施例で述べたメモリ素子をオンチップ化したシステムLSIを示している。本実施例のシステムLSIには、論理回路40、タイマ回路41ドライバ・レシーバ42およびメモリアレイ43が搭載され、メモリアレイ43に上記実施例のメモリ素子が用いられている。本実施例のシステム



L S I は、通信方式がアナログネットワーク、デジタルネットワーク、ナロウバンドインテリジェントサービスデジタルネットワーク (N-I SDN)、さらにブロードバンド (B) - I SDN に対応でき、高精細な自然動画を含むマルチメディア通信に対応可能な高集積・高速メモリと通信回路から直接信号を取り入れるためにドライバ、レシーバ回路等をオンチップ化させたものである。

【0047】図13は、DRAMをキャッシュメモリとして内蔵した論理L S I (マイクロプロセッサ) を示している。本実施例の論理L S I は、メモリ管理ユニット50、キャッシュ制御部51、レジスタ52、ALU53、乗加算器54、命令デコーダ55、浮動小数点演算子56、マイクロコードROM57、クロック58およびメモリアレイ59が搭載され、メモリアレイ59に上記実施例のメモリ素子が用いられている。このように、本発明のメモリ素子を内蔵メモリとして用いれば、大容量であり、高度な機能を持つマイクロプロセッサを得ることができる。

【0048】(第6実施例) 図14は、上記実施例で述べたメモリ素子を半導体ディスク基板に用いた例を示している。このように、上記メモリ素子を半導体ディスク基板に用いれば、安価で大容量の固体記憶媒体として極めて有利である。従来のフロッピーディスクやハードディスクのように、機械的な駆動機構が不要でシステム全体の小型化を図ることができ、また、衝撃にも強いため、小型及び可搬用コンピュータシステムの外部記憶として好適である。

【0049】(第7実施例) 図15は、上記実施例で述べた論理素子 (マイクロプロセッサ)、メモリ素子 (D R A M)、半導体ディスク基板を用いたコンピュータシステムの構成図である。コンピュータシステムは、信号処理部60、キャッシュメモリ61、主記憶部62、外部記憶部63、入力装置64、出力装置65、入出力制御装置66、フロッピーディスク67に接続された補助記憶装置68、他のコンピュータシステム69に接続された通信用ポート70から構成されている。そして、信号処理部60に上記実施例で述べた論理素子が、主記憶部62にメモリ素子 (D R A M) が、さらに外部記憶部63に半導体ディスク基板がそれぞれ用いられている。

【0050】このように構成すれば、システム全体が小型化でき、さらに大容量の情報を高速に読み書きできるので、システム全体としての処理能力が向上する。

【0051】

【発明の効果】以上説明したように、本発明によれば、電極と誘電体層の界面における低誘電率層の生成を防止できるので、容量が大きな半導体装置および容量素子を構成することができる。

【0052】また、本発明の容量素子をメモリセルのコンデンサに適用すると高集積大容量のD R A Mを実現す

ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例による容量素子の断面図である。

【図2】図1の容量素子の製造手順を示した図である。

【図3】E C R プラズマ処理装置の構成図である。

【図4】チタン薄膜のプラズマ酸化時間とリーク電流の関係を示した図である。

【図5】チタン薄膜のプラズマ酸化時間と容量の関係を示した図である。

【図6】チタンと鉛の合金薄膜のプラズマ酸化時間と容量の関係を示した図である。

【図7】二酸化チタン薄膜の水素プラズマ及び窒素プラズマ中での処理時間と抵抗率との関係を示した図である。

【図8】本発明の第2実施例による容量素子の製造手順を示した図である。

【図9】本発明の第3実施例による容量素子の製造手順を示した図である。

【図10】図9(e)に示した容量素子の平面図である。

【図11】本発明の第4実施例によるD R A Mセルの断面図である。

【図12】本発明の第5実施例によるシステムL S I の構成図である。

【図13】図12と同様、本発明の第5実施例による論理L S I の構成図である。

【図14】本発明の第6実施例による半導体ディスク基板の構成図である。

【図15】本発明の第7実施例によるコンピュータシステムの構成図である。

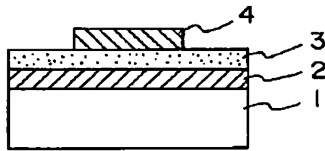
【図16】D R A Mの基本的な回路構成図である。

【符号の説明】

- 1 シリコン基板
- 2 チタン下部電極
- 3 二酸化チタン誘電体層
- 4 窒化酸化チタン上部電極
- 5 ホトレジスト
- 6 局所酸化膜
- 7 ソース電極
- 8 ドレイン電極
- 9 ゲート酸化膜
- 10 ゲート電極
- 11 チタン蓄積ノード電極
- 12 二酸化チタン誘電体層
- 13 窒化酸化チタンプレート電極
- 14 酸化膜
- 15 ビット線
- 16 熱酸化膜
- 30 基板ホルダ
- 31 真空容器

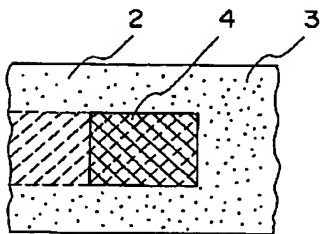
- 32 マイクロ波導入窓  
 33 マイクロ波導波管  
 34 マグネトロン (マイクロ波発生装置)  
 35 マイクロ波チューナ  
 36 ゲートバルブ

【図1】

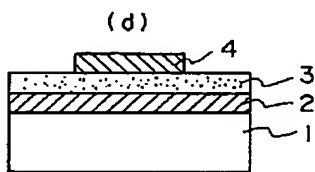
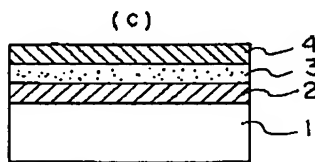
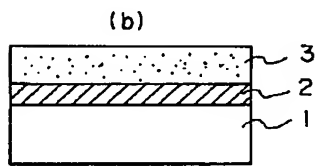
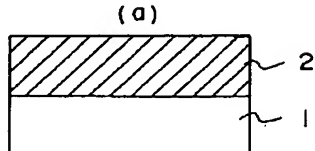


- 1: シリコン基板  
 2: チタン下部電極  
 3: 二酸化チタン誘電体層  
 4: 窒化酸化チタン上部電極

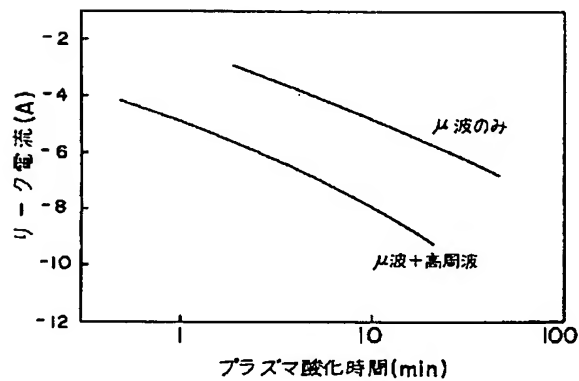
【図10】



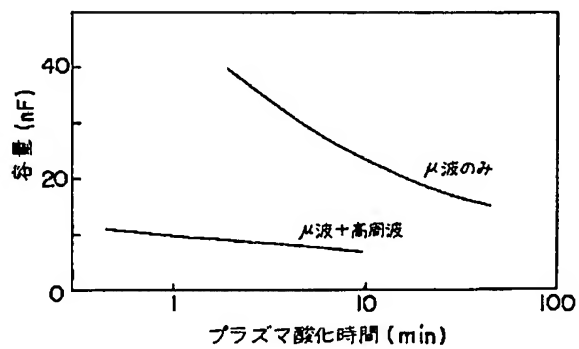
【図2】



【図4】

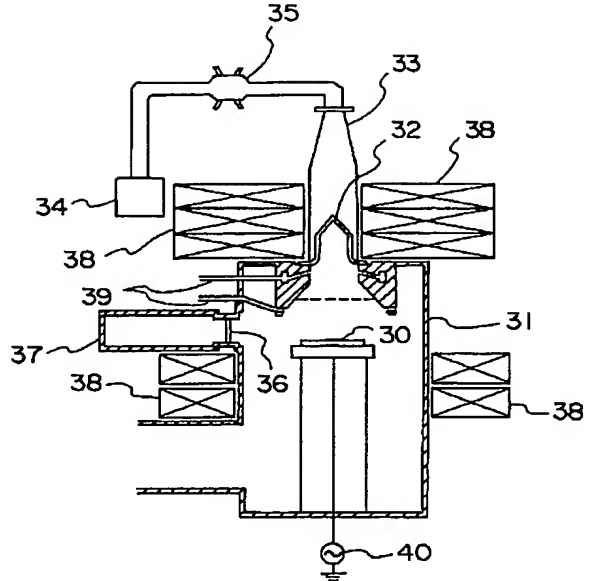


【図5】

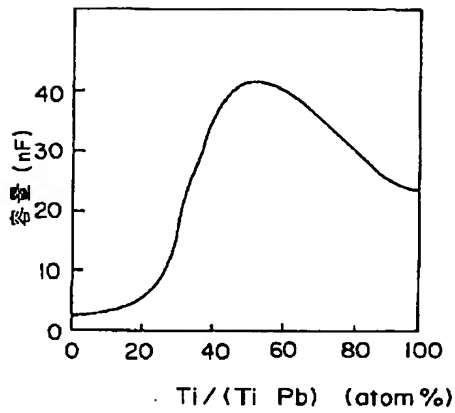


- 37 基板搬入ロボット室  
 38 磁界コイル  
 39 反応ガス導入口  
 40 高周波電源

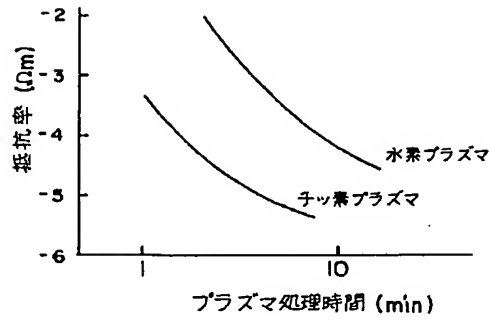
【図3】



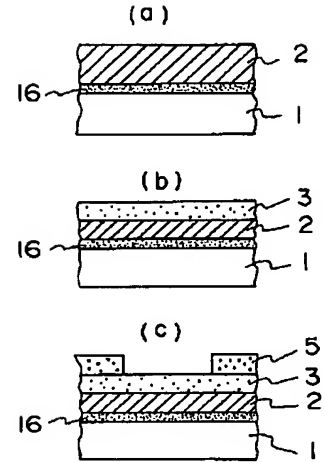
【図 6】



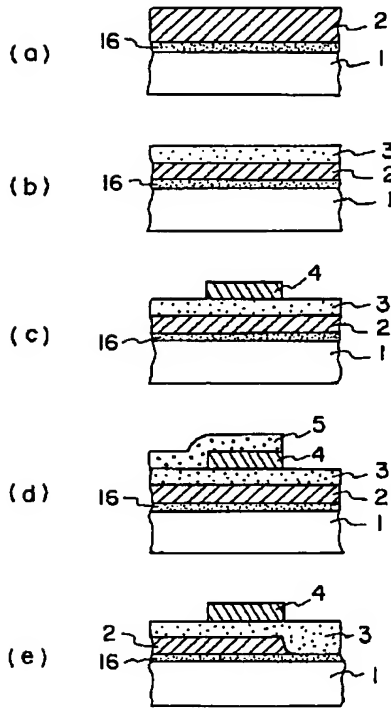
【図 7】



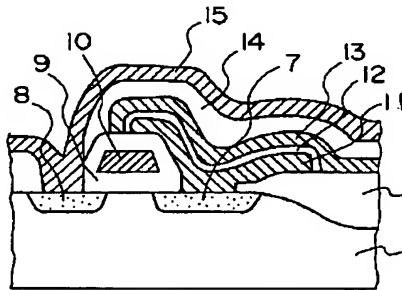
【図 8】



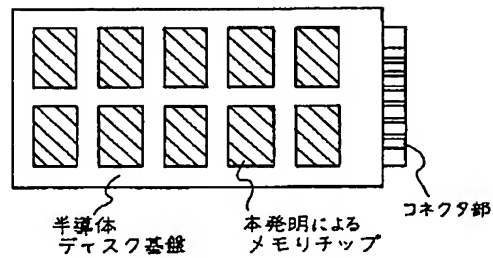
【図 9】



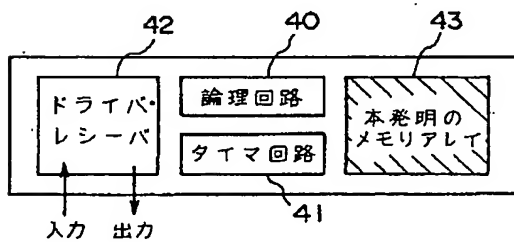
【図 11】



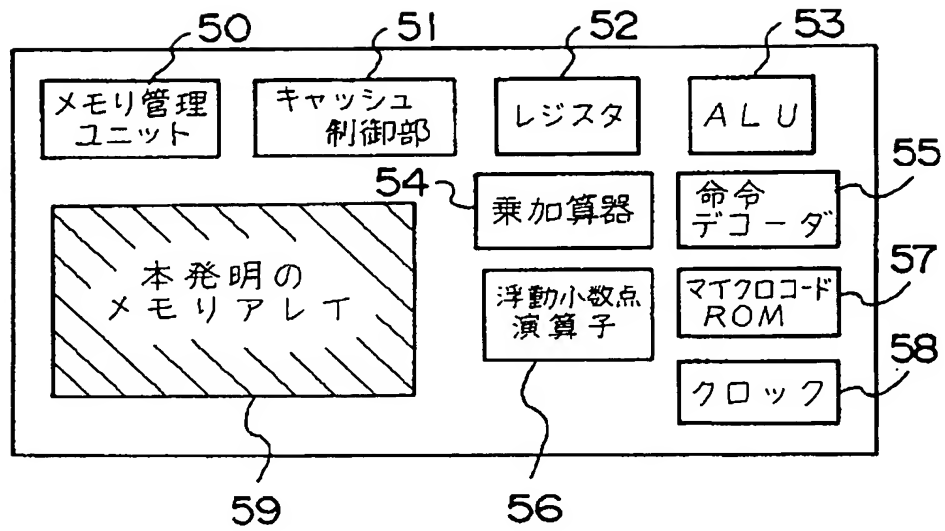
【図 14】



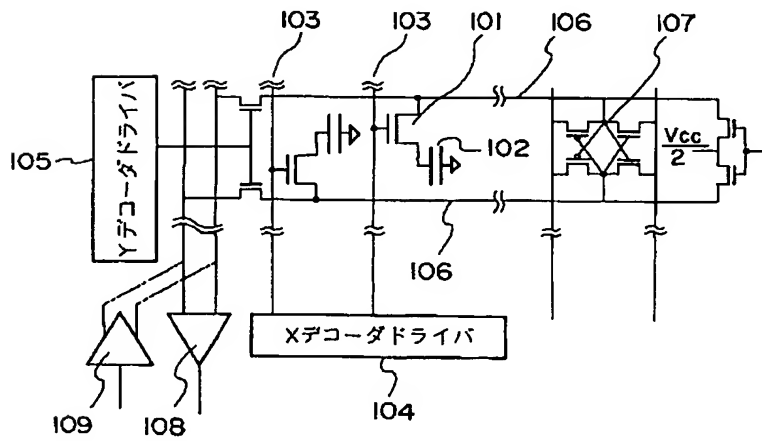
【図 12】



【図13】



【図16】



【図 15】

